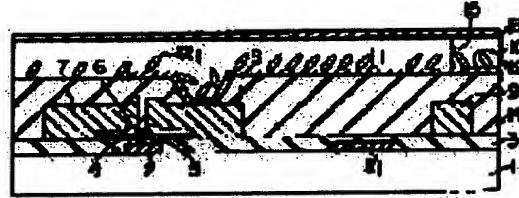


**BEST AVAILABLE COPY****PATENT ABSTRACTS OF JAPAN**(11)Publication number : **07-084284**(43)Date of publication of application : **31.03.1995****(51)Int.Cl.**G02F 1/136  
G02F 1/1343  
H01L 29/786**(21)Application number : 05-188873****(71)Applicant : TOSHIBA CORP****(22)Date of filing : 30.06.1993****(72)Inventor : IKEDA MITSUSHI  
HARA YUJIRO  
TSUJI YOSHIKO  
TOEDA HISAO****(54) LIQUID CRYSTAL DISPLAY DEVICE****(57)Abstract:**

**PURPOSE:** To provide an active matrix type liquid crystal display device preventing the quality of display from being deteriorated caused by a disclination line without lowering numerical aperture.

**CONSTITUTION:** This device is provided with picture element electrodes 10 and 11 arrayed on a glass substrate 1 in a matrix state, a thin film transistor being as a switching element provided at the lower part of the electrode 11, a signal conductor 9 provided at the lower part of a gap between two adjacent electrodes 10 and 11, a counter electrode 13 provided on the electrodes 10 and 11 and a liquid crystal layer 12 which is provided between the electrodes 10 and 11 and the counter electrode 13 and whose thickness is larger than a distance between two adjacent electrodes 10 and 11.

**LEGAL STATUS**

[Date of request for examination]

**28.04.2000**

[Date of sending the examiner's decision of rejection] 06.11.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The thin film transistor as a switching element prepared on the substrate at each lower part of the pixel electrode by which the matrix array was carried out, and said pixel electrode, Wiring prepared in the lower part of two adjoining said pixel inter-electrode gaps, and the counterelectrode prepared on said pixel electrode, The liquid crystal display characterized by coming to provide a larger liquid crystal layer than a said pixel inter-electrode distance which is two which it is prepared between said pixel electrodes and said counterelectrodes, and thickness adjoins.

[Claim 2] The thin film transistor as a switching element prepared on the substrate at each lower part of the pixel electrode by which the matrix array was carried out, and said pixel electrode, Wiring prepared in the lower part of two adjoining said pixel inter-electrode gaps, and the counterelectrode prepared on said pixel electrode, The liquid crystal display characterized by coming to provide the electric-field concentration member prepared between the liquid crystal layer prepared between said pixel electrodes and said \*\*\*\*\*\*, and said wiring and said counterelectrode.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a liquid crystal display, especially relates to the active matrix liquid crystal display using the thin film transistor as a switching element.

[0002]

[Description of the Prior Art] a liquid crystal display -- thin - it is lightweight, a low-battery drive is possible, and colorization is also still easier -- etc. -- it has the description and is used as displays, such as a personal computer and a word processor, in recent years. Even if it makes into many pixels the active-matrix mold liquid crystal display which used the thin film transistor (a-SiTFT) of an amorphous silicon as a switching element especially, it does not have degradation of contrast, a response, etc., and since a halftone display is also still more possible, it is expected as full color television and a display for OA.

[0003] Drawing 6 is the mimetic diagram showing the outline configuration of the active-matrix mold liquid crystal display which used conventional a-SiTFT.

[0004] 81 show the pixel electrode among drawing and this pixel electrode 81 is connected to the source electrode 78 of TFT. Moreover, on the pixel electrode 81, the counterelectrode 83 is formed through the liquid crystal layer 82.

[0005] Above TFT is roughly divided and consists of the gate electrode 72 prepared on the glass substrate 71, gate dielectric film 73 formed so that this gate electrode 72 might be covered, a barrier layer 76 prepared on this gate dielectric film 73, and the source electrode 77 and the drain electrode 78 in contact with this barrier layer 76.

[0006] A protective coat 75 is formed on the barrier layer 76 between the source electrode 77 and the drain electrode 78, and the barrier layer 76 is in contact with the source electrode 77 and the drain electrode 78 through the ohmic contact layer 76. The source electrode 78 is connected with the signal line 79. And a signal line 79 and TFT contact the liquid crystal layer 82 and directly with an interlayer insulation film 84.

[0007] By the way, when making highly minute the liquid crystal display constituted in this way, in order to gather a numerical aperture, it is necessary to, bring the pixel electrode 81 and a signal line 79 close if possible.

[0008] However, liquid crystal molecule 821 of the liquid crystal layer 82 of the part which approaches the pixel electrode 81 and a signal line 79 by this large electric field by the electric field between these becoming large if the pixel electrode 81 and a signal line 79 are brought close Orientation changes. Consequently, discontinuity arises in the orientation of the liquid crystal layer 82, the so-called disclination line 86 occurs and the problem that display quality deteriorates arises.

[0009] In order to solve such a problem, the black matrix 85 is formed in the counterelectrode 83 on the part which the disclination line 86 produces, and the technique of hiding the disclination line 86 is proposed.

[0010] However, the display which contributes to an actual display decreased and only the part of the

black matrix 85 had the problem that a numerical aperture fell.

[0011]

[Problem(s) to be Solved by the Invention] If shown in the conventional liquid crystal display like \*\*\*\*\*, when the pixel electrode and the signal line were close brought for highly-minute-izing, the electric field between these became large, the disclination line occurred, and there was a problem that display quality deteriorated.

[0012] Although such a problem was solvable when hiding the disclination line by the black matrix, it was the problem that a numerical aperture fell at an advantage of a black matrix, in this case.

[0013] This invention was made in consideration of the above-mentioned situation, and the place made into the purpose is to offer the liquid crystal display which can prevent the display quality by the disclination line, without causing decline in a numerical aperture.

[0014]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the liquid crystal display (claim 1) of this invention The thin film transistor as a switching element prepared on the substrate at each lower part of the pixel electrode by which the matrix array was carried out, and said pixel electrode, It is prepared between wiring prepared in the lower part of two adjoining said pixel inter-electrode gaps, the counterelectrode prepared on said pixel electrode, and said pixel electrode and said counterelectrode, and is characterized by having a larger liquid crystal layer than a said pixel inter-electrode distance which is two which thickness adjoins.

[0015] Moreover, the liquid crystal display (claim 2) of this invention The thin film transistor as a switching element prepared on the substrate at each lower part of the pixel electrode by which the matrix array was carried out, and said pixel electrode, It is characterized by having the electric-field concentration member prepared between the liquid crystal layer prepared between wiring prepared in the lower part of two adjoining said pixel inter-electrode gaps, the counterelectrode prepared on said pixel electrode, and said pixel electrode and said \*\*\*\*\*, and said wiring and said counterelectrode.

[0016] The above-mentioned wiring is wiring of a signal line, a gate line, etc.

[0017]

[Function] Since two adjoining pixel inter-electrode distance is smaller than the thickness of a liquid crystal layer according to the liquid crystal display (claim 1) of this invention, two adjoining pixel inter-electrode electric fields become stronger than a pixel electrode, a counterelectrode, and the electric field of a between.

[0018] For this reason, the liquid crystal layer between two adjoining pixel electrodes is made to generate a disclination line, and it can fix there. Moreover, wiring is located in the lower part of two adjoining pixel inter-electrode gaps. That is, the part to which a disclination line is fixed is a part which does not contribute to a display from the first.

[0019] Therefore, degradation of the display quality by the disclination line can be prevented, without causing decline in a numerical aperture.

[0020] Moreover, according to other liquid crystal displays (claim 2) of this invention, a disclination line is generated and fixed to an electric-field concentration member even if it brings wiring and a pixel electrode close, since the electric-field concentration member is prepared between wiring and a counterelectrode. And since wiring is located in the lower part of an electric-field concentration member, the part to which a disclination line is fixed is a part which does not contribute to a display from the first.

[0021] Therefore, degradation of the display quality by the disclination line can be prevented, without causing decline in a numerical aperture.

[0022]

[Example] Hereafter, an example is explained, referring to a drawing.

[0023] Drawing 1 is the mimetic diagram showing the outline configuration of the active matrix liquid crystal display concerning the 1st example of this invention.

[0024] 11 show the pixel electrode among drawing and this pixel electrode 11 is connected to the source electrode 8 of TFT. Moreover, on the pixel electrode 10 and 11, the counterelectrode 13 is formed

through the liquid crystal layer 12.

[0025] Here, unlike the former, the distance between the pixel electrode 10 and 11 is smaller than the thickness of the liquid crystal layer 12. Distance between the pixel electrode 10 and 11 is set to 4 micrometers, and, specifically, thickness of the liquid crystal layer 12 is set to 5 micrometers.

[0026] Above TFT is roughly divided and consists of the gate electrode (gate wiring) 2 prepared on the glass substrate 1, gate dielectric film 3 formed so that this gate electrode 2 might be covered, a barrier layer 4 prepared on this gate dielectric film 3, and the drain electrode 7 and the source electrode 8 in contact with this barrier layer 4.

[0027] A protective coat 5 is formed on the barrier layer 4 between the drain electrode 7 and the source electrode 8, and the barrier layer 4 is in contact with the drain electrode 7 and the source electrode 8 through the ohmic contact layer 6. The source electrode 8 is connected with the signal line 9. And a signal line 9 and TFT contact directly in the liquid crystal layer 12 with an interlayer insulation film 14.

[0028] Such a liquid crystal display is manufactured as follows, for example.

[0029] First, after depositing the MoTa alloy film on a glass substrate 1 at the thickness of 300nm, patterning of this MoTa alloy film is carried out, and the gate electrode 2 is formed.

[0030] Next, by the plasma-CVD method, the sequential deposition of the silicon oxide film and the 1st silicon nitride film used as gate dielectric film 3 is carried out at the thickness of 350nm and 50nm, respectively, then the sequential deposition of the 1st amorphous silicon film used as a barrier layer 4 and the 2nd silicon nitride film used as a protective coat 5 is similarly carried out by the plasma-CVD method at the thickness of 50nm and 200nm, respectively.

[0031] Next, 2nd n+ which becomes the ohmic contact layer 6 after carrying out patterning of the 2nd silicon nitride film and forming a protective coat 5. The mold amorphous silicon film is formed in a plasma-CVD method. Subsequently, patterning of the 1st and 2nd amorphous silicon film is carried out to coincidence, and the island of an amorphous silicon is formed.

[0032] Next, after forming the signal line 9 which consists of a cascade screen of Mo film with a thickness of 50nm and aluminum film with a thickness of 300nm, the 3rd silicon nitride film as an interlayer insulation film 14 is deposited on the thickness of 200nm using a plasma-CVD method. Subsequently, the drain electrode 7 and the source electrode 8 are formed. In addition, the drain electrode 7, the source electrode 8, and a signal line 9 may be formed in coincidence at the same process. Moreover, the film which consists of refractory metals, such as Mo, W, and Cr, may be formed on aluminum film.

[0033] Next, with a spin coat, after covering the front face of this 3rd silicon nitride film with the fluorine system polyimide film with a thickness [ as an interlayer insulation film 14 ] of 1.5 micrometers, a cure is carried out below at the degradation temperature (300 degrees C) of an amorphous silicon, for example, the temperature of 250 degrees C. In addition, as long as it is the polish recon (p-Si) TFT, a 450-degree C full cure may be performed.

[0034] Next, it is CF4 about the above-mentioned polyimide film. It etches by reactive ion etching by gas, and a contact hole is formed in the upper part of the source electrode 8. Subsequently, after forming the polyimide film for orientation in a front face and forming the ITO film whose thickness is 100nm, this is etched and the pixel electrodes 10 and 11 are formed.

[0035] Finally, liquid crystal is poured in between the counterelectrode 13 with which the polyimide film for orientation was formed in the front face, the pixel electrode 10, and 11 grades, and the liquid crystal layer 12 is formed in it.

[0036] Since the distance between adjoining two pixel electrodes 11 and pixel electrodes 12 is smaller than the thickness of the liquid crystal layer 12 according to the liquid crystal display of this example, the electric field between two pixel electrodes 11 which these-adjoin, and 12 are made more greatly than the pixel electrodes 11 and 12, a counterelectrode 13, and the electric field of a between. For this reason, liquid crystal molecule 121 on an electrode 9 The sense is changed by the electric field between the pixel electrodes 11 and 12, and the disclination line 15 occurs.

[0037] For example, in a signal-line reversal drive, the electrical potential difference of 0-5V which are the magnitude of a video-signal electrical potential difference is inscribed on a pixel electrode, and it is

in the next pixel electrode. - The electrical potential difference of 5-0V is impressed, and 0V which are the middle electrical potential difference are impressed to a counterelectrode. For this reason, if a pixel inter-electrode distance is shorter than the thickness of a liquid crystal layer, the electrical-potential-difference difference impressed to adjoining pixel inter-electrode will become surely larger than the potential difference between a counterelectrode and a pixel electrode. In addition, since the electric field between a signal line or a gate electrode (gate line), and a pixel electrode are shielded with the pixel electrode, most effects on a liquid crystal layer cannot be found.

[0038] For this reason, the pixel electrode 11 and the liquid crystal layer 12 between 12 are made to generate the disclination line 15, and it can fix there. Moreover, the signal line 9 is located in the lower part of the gap of the pixel electrodes 11 and 12. That is, the part to which the disclination line 15 is fixed is a part which does not contribute to a display from the first.

[0039] Therefore, degradation of the display quality by the disclination line 15 can be prevented, without causing decline in a numerical aperture.

[0040] As for thickness d of liquid crystal, and pixel inter-electrode distance, it is desirable to perform it as follows.

[0041] Since pixel potential is a reverse sign even if thickness d of liquid crystal and pixel inter-electrode [ L ] are the same ( $d=L$ ), the direction pixel inter-electrode in field strength generates disclination on pixel inter-electrode, i.e., wiring, greatly. Moreover, since there are no electric field when the electrical potential difference (= 0) of the same value as a pixel electrode is impressed, disclination is not generated. As mentioned above, in order to enlarge pixel inter-electrode electric field certainly from the electric field between a counterelectrode and a pixel electrode, it is required to be  $L/d \leq 1$  and  $L/d \leq 0.9-0.4$  are good preferably. The shorter one is restricted by the ease of carrying out of contiguity pixel inter-electrode short generating. Moreover, it is more desirable to enlarge the left end of a pixel electrode and the lap of wiring more, and to set, since disclination is generated when the direction of orientation of a liquid crystal molecule and the sense of electric field are reverse (for example, since it is easy to generate disclination at the left end of a pixel electrode when a liquid crystal molecule inclines to the right).

[0042] about [ moreover, / of capacity when according to this example the specific inductive capacity of the fluorine system polyimide film which is an interlayer insulation film is 2.8 and, as for the coupling capacity between a signal line 9 and the pixel electrodes 11 and 12, the specific inductive capacity for which it is usually used since the thickness is 1.5 micrometers uses the silicon nitride (500nm in typical thickness) of 6.4 ] -- it is set to one seventh. Therefore, according to this example, coupling capacity between a signal line 9 and the pixel electrodes 11 and 12 can be made small enough, and a cross talk can be reduced sharply. In addition, the specific inductive capacity of the fluorine system polyimide film can be chosen in the about two to four range.

[0043] Moreover, in the case of the silicon nitride usually used, since film peeling occurs with stress, the thickness is restricted to about 500nm, a problem remains in the covering nature of a level difference, but since the fluorine system polyimide film is used in the case of this example, the thickness can be formed to several micrometers. That is, since it can deposit on the thickness which is extent whose level difference is lost, and a front face can be made flat, the surface smoothness of the orientation film on a pixel electrode is improved and rubbing is made to homogeneity, improvement in image quality can be aimed at.

[0044] Drawing 2 is the mimetic diagram showing the outline configuration of the active matrix liquid crystal display concerning the 2nd example of this invention. In addition, the same sign as drawing 1 is given to the liquid crystal display of drawing 1, and the corresponding part, and detailed explanation is omitted (the same is said of the example after the 2nd example).

[0045] In order to prevent coupling between a signal line and a pixel electrode, it is necessary to enlarge thickness of an interlayer insulation film. In this case, since a level difference becomes large in the contact hole section for source electrodes, it becomes easy to generate the level difference of a pixel electrode. This example takes such un-arranging into consideration.

[0046] That is, as shown in drawing 2, electric conduction film 2a which becomes the gate electrode 2

at the contact hole section, semi-conductor film 4a used as a barrier layer 4, insulator layer 5a used as a protective coat 5, and semi-conductor layer 6a used as the ohmic contact layer 6 are saved, and the height of the front face of the source electrode 8 in the contact hole section is enlarged.

[0047] The thickness of 300nm and gate dielectric film (silicon nitride) 3 for the thickness of electric conduction film (silicon nitride) 2a For example, 50nm, the thickness of semi-conductor film (amorphous silicon film) 4a -- the thickness of 50nm and insulator layer (silicon nitride) 5a -- the thickness of 200nm and semi-conductor film (n+ mold amorphous silicon film) 6a -- 50nm -- then Compared with a previous example, 650nm of front faces of the source electrode 8 in the contact hole section becomes high. Therefore, a level difference decreases from 1500nm to 850nm.

[0048] Furthermore, a level difference is set to 500nm in order that the level difference by the signal line 9 (350nm) may decrease, if flattening is completely carried out with an interlayer insulation film 14. For this reason, the stage piece in the level difference section is lost by carrying out taper etching of the interlayer insulation film 14.

[0049] Drawing 3 is the mimetic diagram showing the outline configuration of the liquid crystal display concerning the 3rd example of this invention.

[0050] The point that the liquid crystal display of this example differs from it of a previous example forms the Cu layer 20 alternatively by electroless deposition in the contact hole for source electrode 8, and is to have lost the level difference in the contact hole section. Moreover, in order to prevent poor contact of the pixel electrode 11 and the Cu layer 20 by the front face of the Cu layer 20 oxidizing, after the Sn film 21 covers the front face of the Cu layer 20 by the electroless deposition of Sn, the front face of the Sn film 21 is oxidized and the transparency electric conduction film is stabilized by carrying out.

[0051] In addition, a SnIn alloy may be used instead of Sn. Moreover, Cr, Sn or other metals, and an alloy may be used instead of Cu. Furthermore, oxidation of the Sn film 21 may be performed to formation and coincidence of the pixel electrode 11. Furthermore, selection formation of the metal membranes, such as W, aluminum, and Mo, may be carried out into a contact hole with a selection CVD method instead of electroless deposition again. In W, it is WF6. SiH4 Or H2 Selection formation can be carried out by using.

[0052] Drawing 4 is the mimetic diagram showing the outline configuration of the active matrix liquid crystal display concerning the 4th example of this invention.

[0053] The point that the liquid crystal display of this example differs from it of a previous example is to form the signal line 9 in the location below the gate electrode 2 through an interlayer insulation film 23. The signal line 9 is connected with the source electrode 8 through the contact hole (un-illustrating) formed in the interlayer insulation film 23. In addition, among drawing, although 22 show the capacity line formed by ITO, this may not be.

[0054] Since the distance between the pixel electrodes 11 and 12 is smaller than the thickness of the liquid crystal layer 12 and the point that the gap of the pixel electrodes 11 and 12 is located on a signal line 9 is the same as a previous example even if it is such a configuration, it is fixed on a signal line 9, and the disclination line 15 can prevent display degradation, without causing decline in a numerical aperture.

[0055] Drawing 5 is the mimetic diagram showing the outline configuration of the liquid crystal display concerning the 5th example of this invention.

[0056] The point that the liquid crystal display of this example differs from it of a previous example is to perform immobilization of the disclination line 15 by two heights 32 which was formed in the interlayer insulation film 14 on a signal line 9 and which were located in a line.

[0057] Liquid crystal molecule 121 of the field which faced when steep irregularity existed like a height 32 Since the directions of orientation differ, and the disclination line 15 is generated and fixed there, display degradation can be prevented. Moreover, since the height 32 is formed on the signal line 9 (i.e., since it is prepared in the part which does not contribute to a display from the first), the problem that a numerical aperture falls is not produced.

[0058] Moreover, after forming an interlayer insulation film 14, formation of a height 32 forms the polyimide film with a thickness of 1 micrometer, and is performed by carrying out patterning of this. As

an ingredient of a height 32, the same mist as a gate electrode (gate line), a protective coat, and array ingredients, such as a barrier layer, other metals, and an insulating material may be used instead of polyimide.

[0059] In addition, this invention is not limited to the example mentioned above. For example, in the above-mentioned example, although the fluorine system polyimide film was used as an interlayer insulation film instead, fluororesins, such as Teflon, may be used. These are smaller than the specific inductive capacity 4.0 of silicon oxide.

[0060] Moreover, it is on wiring of a gate line etc. instead of a signal line, and a disclination line may be made to be fixed.

[0061] Moreover, auxiliary capacity is the metal 21 of a gate line and this layer like drawing 1. You may form with the pixel electrode 11 and it is TARU 21 as a gate line and a capacity line of this layer like drawing 3. You may form between the metal 8 as a signal line. Moreover, you may form by other metals, for example, gate electrode, and ITO(s).

[0062] Moreover, not an i stopper mold like the above-mentioned example but a back channel mold is sufficient as TFT, and it may use p-Si instead of a-Si.

[0063] In addition, in the range which does not deviate from the summary of this invention, it deforms variously and can carry out.

[0064]

[Effect of the Invention] Since a disclination line is fixable to the part which does not contribute to a display from the first according to this invention as explained in full detail above, degradation of the display quality by the disclination line can be prevented without causing decline in a numerical aperture.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] The mimetic diagram showing the outline configuration of the active matrix liquid crystal display concerning the 1st example of this invention.

[Drawing 2] The mimetic diagram showing the outline configuration of the active matrix liquid crystal display concerning the 2nd example of this invention.

[Drawing 3] The mimetic diagram showing the outline configuration of the active matrix liquid crystal display concerning the 3rd example of this invention.

[Drawing 4] The mimetic diagram showing the outline configuration of the active matrix liquid crystal display concerning the 4th example of this invention.

[Drawing 5] The mimetic diagram showing the outline configuration of the active matrix liquid crystal display concerning the 5th example of this invention.

[Drawing 6] The mimetic diagram showing the outline configuration of the conventional active matrix liquid crystal display.

**[Description of Notations]**

1 -- Glass substrate

2 -- Gate electrode (gate line)

3 -- Gate dielectric film

4 -- Barrier layer

5 -- Protective coat

6 -- Ohmic contact layer

7 -- Drain electrode

8 -- Source electrode

9 -- Signal line

10 11 -- Pixel electrode

12 -- Liquid crystal layer

13 -- Counterelectrode

14 -- Interlayer insulation film

15 -- Disclination line

20 -- Cu layer

21 -- Sn film

32 -- Height (electric-field concentration member)

---

[Translation done.]

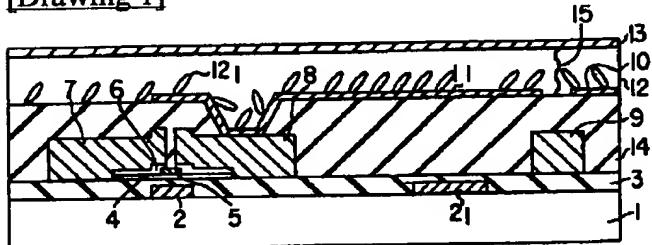
**\* NOTICES \***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

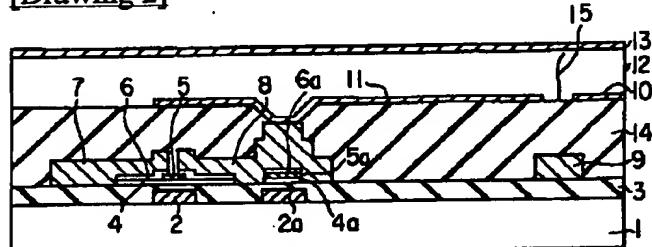
1. This document has been translated by computer. So the translation may not reflect the original precisely.
  2. \*\*\*\* shows the word which can not be translated.
  3. In the drawings, any words are not translated.

## DRAWINGS

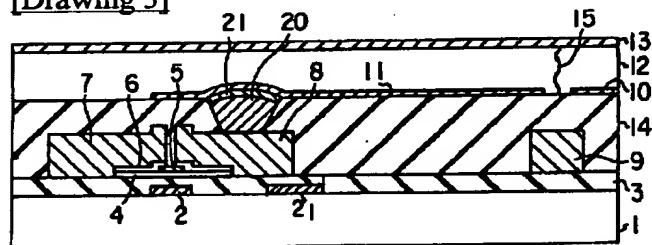
### Drawing 11



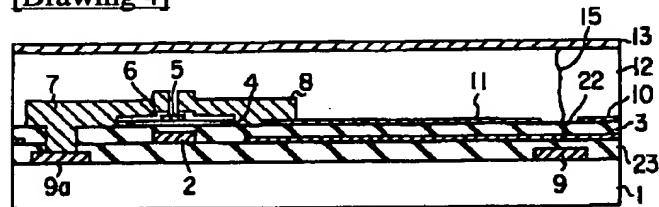
### Drawing 2]



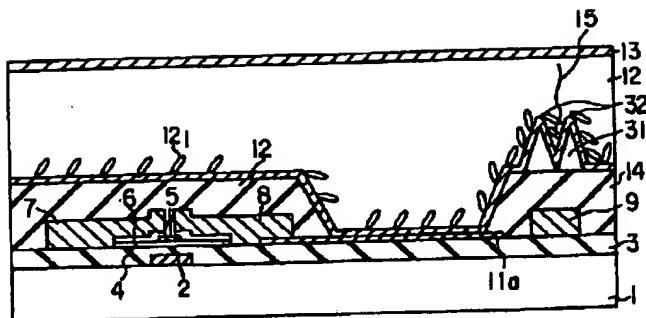
### Drawing 31



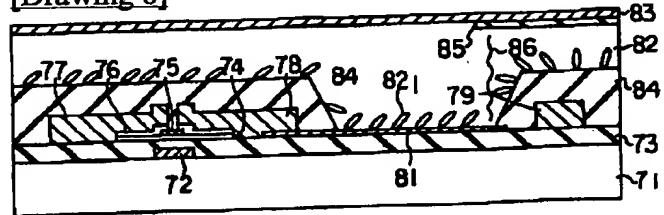
[Drawing 4]



### [Drawing 5]



[Drawing 6]



---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-84284

(43)公開日 平成7年(1995)3月31日

(51)Int.Cl.\*

G 0 2 F 1/136

1/1343

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2 FD (全6頁)

(21)出願番号

特願平5-188873

(22)出願日

平成5年(1993)6月30日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 池田 光志

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72)発明者 原 雄二郎

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72)発明者 辻 佳子

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(74)代理人 弁理士 鈴江 武彦

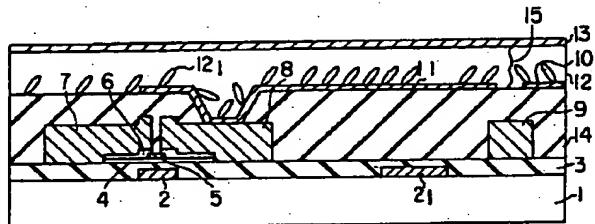
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】開口率の低下を招くこと無くディスクリネーション線による表示品質の劣化を防止できるアクティブマトリクス型液晶表示装置を提供すること。

【構成】ガラス基板1上にマトリクス配列された画素電極10, 11と、画素電極11の下部に設けられたスイッチング素子としての薄膜トランジスタと、隣接する二つの画素電極10, 11の間隙の下部に設けられた信号線9と、画素電極10, 11上に設けられた対向電極13と、画素電極10, 11と向対電極13との間に設けられ、厚さが隣接する二つの画素電極10, 11間の距離よりも大きい液晶層12とを備えている。



1

## 【特許請求の範囲】

【請求項1】基板上にマトリクス配列された画素電極と、前記画素電極の各下部に設けられたスイッチング素子としての薄膜トランジスタと、隣接する二つの前記画素電極間の間隙の下部に設けられた配線と、前記画素電極上に設けられた対向電極と、前記画素電極と前記対向電極との間に設けられ、厚さが隣接する二つの前記画素電極間の距離よりも大きい液晶層とを具備してなることを特徴とする液晶表示装置。

【請求項2】基板上にマトリクス配列された画素電極と、前記画素電極の各下部に設けられたスイッチング素子としての薄膜トランジスタと、隣接する二つの前記画素電極間の間隙の下部に設けられた配線と、前記画素電極上に設けられた対向電極と、前記画素電極と前記対向電極との間に設けられた液晶層と、前記配線と前記対向電極との間に設けられた電界集中部材とを具備してなることを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、液晶表示装置に係り、特にスイッチング素子として薄膜トランジスタを用いたアクティブマトリックス型液晶表示装置に関する。

## 【0002】

【従来の技術】液晶表示装置は薄型・軽量であり、低電圧駆動が可能で更にカラー化も容易である等の特徴を有し、近年、パーソナルコンピュータ、ワープロなどの表示装置として利用されている。中でも、アモルファスシリコンの薄膜トランジスタ(a-Si TFT)をスイッチング素子として用いたアクティブマトリックス型液晶表示装置は、多画素にしてもコントラスト、レスポンス等の劣化がなく、更に、中間調表示も可能であることから、フルカラーテレビや、OA用の表示装置として期待されている。

【0003】図6は、従来のa-Si TFTを用いたアクティブマトリックス型液晶表示装置の概略構成を示す模式図である。

【0004】図中、81は画素電極を示しており、この画素電極81はTFTのソース電極78に接続されている。また、画素電極81上には液晶層82を介して対向電極83が設けられている。

【0005】上記TFTは、大きく分けて、ガラス基板71上に設けられたゲート電極72と、このゲート電極72を覆うように形成されたゲート絶縁膜73と、このゲート絶縁膜73上に設けられた活性層76と、この活性層76にコンタクトするソース電極77、ドレイン電

2

極78とで構成されている。

【0006】ソース電極77とドレイン電極78との間の活性層76上には保護膜75が設けられ、また、活性層76はオーミックコンタクト層76を介してソース電極77、ドレイン電極78とコンタクトしている。ソース電極78は信号線79に繋がっている。そして、信号線79、TFTは層間絶縁膜84により液晶層82と直接コンタクトしないようになっている。

【0007】ところで、このように構成された液晶表示装置を高精細化する場合、開口率を上げるために、画素電極81と信号線79となるべく近づけることが必要になる。

【0008】しかし、画素電極81と信号線79とを近づけるとこれらの間の電界が大きくなり、この大きい電界によって、画素電極81および信号線79に近接する部分の液晶層82の液晶分子821の配向が変化する。この結果、液晶層82の配向に不連続が生じ、いわゆる、ディスクリネーション線86が発生し、表示品質が劣化するという問題が生じる。

【0009】このような問題を解決するには、ディスクリネーション線86が生じる部分上の対向電極83にブラックマトリクス85を設け、ディスクリネーション線86を隠すという技術が提案されている。

【0010】しかし、ブラックマトリクス85の分だけ、実際の表示に寄与する表示部が減少し、開口率が低下するという問題があった。

## 【0011】

【発明が解決しようとする課題】上述の如く、従来の液晶表示装置にあっては、高精細化のために、画素電極と信号線とを近づけるとこれらの間の電界が大きくなり、ディスクリネーション線が発生し、表示品質が劣化するという問題があった。

【0012】このような問題は、ブラックマトリクスによりディスクリネーション線を隠せば解決できるが、この場合、ブラックマトリクスの分だけ、開口率が低下するという問題があった。

【0013】本発明は、上記事情を考慮してなされたもので、その目的とするところは、開口率の低下を招くこと無くディスクリネーション線による表示品質を防止できる液晶表示装置を提供することにある。

## 【0014】

【課題を解決するための手段】上記の目的を達成するために、本発明の液晶表示装置(請求項1)は、基板上にマトリクス配列された画素電極と、前記画素電極の各下部に設けられたスイッチング素子としての薄膜トランジスタと、隣接する二つの前記画素電極間の間隙の下部に設けられた配線と、前記画素電極上に設けられた対向電極と、前記画素電極と前記対向電極との間に設けられ、厚さが隣接する二つの前記画素電極間の距離よりも大きい液晶層とを備えたことを特徴とする。

【0015】また、本発明の液晶表示装置（請求項2）は、基板上にマトリクス配列された画素電極と、前記画素電極の各下部に設けられたスイッチング素子としての薄膜トランジスタと、隣接する二つの前記画素電極間の間隙の下部に設けられた配線と、前記画素電極上に設けられた対向電極と、前記画素電極と前記対向電極との間に設けられた液晶層と、前記配線と前記対向電極との間に設けられた電界集中部材とを備えたことを特徴とする。

【0016】上記配線とは信号線、ゲート線等の配線である。

【0017】

【作用】本発明の液晶表示装置（請求項1）によれば、隣接する二つの画素電極間の距離が液晶層の厚さよりも小さいので、隣接する二つの画素電極間の電界は、画素電極と対向電極と間の電界よりも強くなる。

【0018】このため、ディスクリネーション線を隣接する二つの画素電極の間の液晶層に発生させ、そこに固定することができる。また、隣接する二つの画素電極間の間隙の下部には配線が位置している。すなわち、ディスクリネーション線が固定される部分はもともと表示に寄与しない部分である。

【0019】したがって、開口率の低下を招くこと無くディスクリネーション線による表示品質の劣化を防止できる。

【0020】また、本発明の他の液晶表示装置（請求項2）によれば、配線と対向電極との間に電界集中部材が設けられているため、配線と画素電極とを近づけても、ディスクリネーション線は電界集中部材に発生し、固定される。しかも、電界集中部材の下部には配線が位置しているため、ディスクリネーション線が固定される部分はもともと表示に寄与しない部分である。

【0021】したがって、開口率の低下を招くこと無くディスクリネーション線による表示品質の劣化を防止できる。

【0022】

【実施例】以下、図面を参照しながら実施例を説明する。

【0023】図1は、本発明の第1の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図である。

【0024】図中、11は画素電極を示しており、この画素電極11はTFTのソース電極8に接続されている。また、画素電極10、11上には液晶層12を介して対向電極13が設けられている。

【0025】ここで、画素電極10、11間の距離は、従来とは異なり、液晶層12の厚さよりも小さくなっている。具体的には、画素電極10、11間の距離は、例えば、4μmとし、液晶層12の厚さは5μmとする。

【0026】上記TFTは、大きく分けて、ガラス基板

1上に設けられたゲート電極（ゲート配線）2と、このゲート電極2を覆うように形成されたゲート絶縁膜3と、このゲート絶縁膜3上に設けられた活性層4と、この活性層4にコンタクトするドレイン電極7、ソース電極8とで構成されている。

【0027】ドレイン電極7とソース電極8との間の活性層4上には保護膜5が設けられ、また、活性層4はオーミックコンタクト層6を介してドレイン電極7、ソース電極8とコンタクトしている。ソース電極8は信号線9に繋がっている。そして、信号線9、TFTは層間絶縁膜14によって液晶層12とは直接コンタクトしないようになっている。

【0028】このような液晶表示装置は、例えば、次のように製造する。

【0029】まず、ガラス基板1上にMoTa合金膜を300nmの厚さに堆積した後、このMoTa合金膜をバーニングしてゲート電極2を形成する。

【0030】次にプラズマCVD法により、ゲート絶縁膜3となる酸化シリコン膜、第1の窒化シリコン膜をそれぞれ350nm、50nmの厚さに順次堆積し、続いて、同様にプラズマCVD法により、活性層4となる第1のアモルファスシリコン膜、保護膜5となる第2の窒化シリコン膜をそれぞれ50nm、200nmの厚さに順次堆積する。

【0031】次に第2の窒化シリコン膜をバーニングして保護膜5を形成した後、オーミックコンタクト層6となる第2のn<sup>+</sup>型アモルファスシリコン膜をプラズマCVD法に形成する。次いで第1、第2のアモルファスシリコン膜を同時にバーニングして、アモルファスシリコンの島を形成する。

【0032】次に厚さ50nmのMo膜と厚さ300nmのAl膜との積層膜からなる信号線9を形成した後、層間絶縁膜14としての第3の窒化シリコン膜をプラズマCVD法を用いて200nmの厚さに堆積する。次いでドレイン電極7、ソース電極8を形成する。なお、ドレイン電極7、ソース電極8、信号線9は同一工程で同時に形成しても良い。また、Al膜上にMo、W、Cr等の高融点金属からなる膜を形成しても良い。

【0033】次にスピンドルコートにより、この第3の窒化シリコン膜の表面を層間絶縁膜14としての厚さ1.5μmの弗素系ポリイミド膜で被覆した後、アモルファスシリコンの劣化温度(300°C)以下、例えば、250°Cの温度でキュアする。なお、ポリシリコン(p-Si)TFTであれば450°Cのフルキュアを行なっても良い。

【0034】次に上記ポリイミド膜をCF<sub>4</sub>ガスによる反応性イオンエッティングでエッティングしてソース電極8の上部にコンタクトホールを形成する。次いで表面に配向用ポリイミド膜が形成され、厚さが100nmのITO膜を形成した後、これをエッティングして画素電極1

10

0, 11を形成する。

【0035】最後に、表面に配向用ポリイミド膜が形成された対向電極13と画素電極10, 11等との間に液晶を注入して液晶層12を形成する。

【0036】本実施例の液晶表示装置によれば、隣接する二つの画素電極11と画素電極12との間の距離が液晶層12の厚さよりも小さいので、これら隣接する二つの画素電極11, 12間の電界は、画素電極11, 12と対向電極13と間の電界よりも大きくできる。このために電極9の上の液晶分子121が画素電極11, 12の間の電界により向きを変えディスクリネーション線15が発生する。

【0037】例えば、信号線反転駆動では、画素電極には映像信号電圧の大きさである0~5Vの電圧が印され、その隣の画素電極には-5~0Vの電圧が印され、そして、対向電極にはその中間の電圧である0Vが印加される。このため、画素電極間の距離が液晶層の厚さよりも短ければ、隣接する画素電極間に印加される電圧差は、対向電極と画素電極との間の電位差よりも必ず大きくなる。なお、信号線またはゲート電極（ゲート線）と画素電極との間の電界は画素電極によりシールドされているので液晶層への影響はほとんど無い。

【0038】このため、ディスクリネーション線15を画素電極11, 12間の液晶層12に発生させ、そこに固定することができる。また、画素電極11, 12の間隙の下部には信号線9が位置している。すなわち、ディスクリネーション線15が固定される部分はもともと表示に寄与しない部分である。

【0039】したがって、開口率の低下を招くこと無くディスクリネーション線15による表示品質の劣化を防止できる。

【0040】液晶の厚さdと画素電極間距離は次のようにするのが好ましい。

【0041】液晶の厚さdと画素電極間Lは同じ(d=L)であっても画素電位は逆符号なので、電界強度は画素電極間の方が大きくディスクリネーションは画素電極間、すなわち、配線上に発生する。また、画素電極に同じ値の電圧(=0)が印加されている場合には電界がないため、ディスクリネーションは発生しない。以上より画素電極間の電界を対向電極と画素電極との間の電界より確実に大きくしておくためには、

$d/L \geq 1$

であることが必要であり、好ましくは、

$L/d \leq 0.9 \sim 0.4$

が良い。短い方は、隣接画素電極間のショートの発生のしやすさにより制限される。また、ディスクリネーションは液晶分子の配向方向と電界の向きが逆のときに発生するため、例えば、液晶分子が右に傾く場合にはディスクリネーションが画素電極の左端に発生しやすいため、画素電極の左端と配線の重なりをより大きくしていくおく

方が好ましい。

【0042】また、本実施例によれば、信号線9と画素電極11, 12との間のカップリング容量は、層間絶縁膜であるフッ素系ポリイミド膜の比誘電率が2.8で、その膜厚が $1.5\mu m$ であるので、通常用いられている比誘電率が6.4のシリコン窒化膜（典型的な厚さ500nm）を用いた場合の容量の約1/7となる。したがって、本実施例によれば、信号線9と画素電極11, 12との間のカップリング容量を十分に小さくでき、クロストークを大幅に低減できる。なお、フッ素系ポリイミド膜の比誘電率は2~4程度の範囲で選択できる。

【0043】また、通常用いられているシリコン窒化膜の場合には、応力によって膜剥れが発生するため、その膜厚は500nm程度に制限され、段差の被覆性に問題が残るが、本実施例の場合には、フッ素系ポリイミド膜を用いているので、その膜厚を数μmまで形成できる。すなわち、段差が無くなる程度の厚さに堆積でき、表面を平坦にできるので、画素電極上の配向膜の平坦性が改善され、ラビングが均一にできるため、画質の向上が図れる。

【0044】図2は、本発明の第2の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図である。なお、図1の液晶表示装置と対応する部分には図1と同一符号を付してあり、詳細な説明は省略する（第2の実施例以降の実施例も同様）。

【0045】信号線と画素電極との間のカップリングを防止するには、層間絶縁膜の膜厚を大きくする必要がある。この場合、ソース電極用のコンタクトホール部において段差が大きくなるので、画素電極の段差が発生しやすくなる。本実施例はこのような不都合を考慮したものである。

【0046】すなわち、図2に示すように、コンタクトホール部にゲート電極2となる導電膜2a、活性層4となる半導体膜4a、保護膜5となる絶縁膜5a、オーミックコンタクト層6となる半導体層6aを残置し、コンタクトホール部におけるソース電極8の表面の高さを大きくする。

【0047】例えば、導電膜（シリコン窒化膜）2aの厚さを300nm、ゲート絶縁膜（シリコン窒化膜）3aの厚さを50nm、半導体膜（アモルファスシリコン膜）4aの厚さを50nm、絶縁膜（シリコン窒化膜）5aの厚さを200nm、半導体膜（n<sup>+</sup>型アモルファスシリコン膜）6aの厚さを50nmとすれば、コンタクトホール部におけるソース電極8の表面は先の実施例に比べて、650nm高くなる。したがって、段差は1500nmから850nmに減少する。

【0048】更に、層間絶縁膜14により完全に平坦化すれば、信号線9(350nm)による段差が減少するため、段差は500nmになる。このため、層間絶縁膜14をテーパエッチングすることにより段差部での段切

れはなくなる。

【0049】図3は、本発明の第3の実施例に係る液晶表示装置の概略構成を示す模式図である。

【0050】本実施例の液晶表示装置が先の実施例のそれと異なる点は、ソース電極8用のコンタクトホール内にCu層20を無電解メッキにより選択的に形成し、コンタクトホール部における段差を無くしたことにある。また、Cu層20の表面が酸化されることによる画素電極11とCu層20とのコンタクト不良を防止するために、Sn膜21で被覆した後、Sn膜21の表面を酸化させ、透明導電膜にして安定化させてある。

【0051】なお、Snの代わりにSnIn合金を用いても良い。また、Cuの代わりに、Cr、Snまたは他の金属、合金を用いても良い。更に、Sn膜21の酸化は画素電極11の形成と同時に進行しても良い。更にまた、無電解メッキの代わりに、選択CVD法により、WやAlやMo等の金属膜をコンタクトホール内に選択形成しても良い。Wの場合には、例えば、WF<sub>6</sub>と、SiH<sub>4</sub>またはH<sub>2</sub>とを用いることにより選択形成できる。

【0052】図4は、本発明の第4の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図である。

【0053】本実施例の液晶表示装置が先の実施例のそれと異なる点は、信号線9が層間絶縁膜23を介してゲート電極2よりも下の位置に設けられてることにある。信号線9は層間絶縁膜23に形成されたコンタクトホール(不図示)を介してソース電極8に繋がっている。なお、図中、22はITOで形成された容量線を示しているが、これは無くても良い。

【0054】このような構成であっても、画素電極11、12の間の距離が液晶層12の厚さよりも小さく、画素電極11、12の間隙が信号線9上に位置している点は先の実施例と同じなので、ディスクリネーション線15は信号線9上に固定され、開口率の低下を招くこと無く表示劣化を防止できる。

【0055】図5は、本発明の第5の実施例に係る液晶表示装置の概略構成を示す模式図である。

【0056】本実施例の液晶表示装置が先の実施例のそれと異なる点は、ディスクリネーション線15の固定を信号線9上の層間絶縁膜14に形成された二つの並んだ突起部32で行っていることにある。

【0057】突起部32のように急峻な凹凸が存在すると、相対した面の液晶分子121の配向方向が異なるため、そこにディスクリネーション線15が発生し、固定されるので表示劣化を防止できる。また、突起部32は信号線9上に設けられているので、つまり、もともと表示に寄与しない部分に設けられているので、開口率が低下するという問題は生じない。

【0058】また、突起部32の形成は、例えば、層間

絶縁膜14を形成した後、厚さ1μmのポリイミド膜を形成し、これをバーニングすることにより行なう。突起部32の材料としては、ポリイミドの代わりに、ゲート電極(ゲート線)や、保護膜や、活性層等のアレイ材料と同じもや、他の金属、絶縁物を用いても良い。

【0059】なお、本発明は上述した実施例に限定されるものではない。例えば、上記実施例では、層間絶縁膜としてフッ素系ポリイミド膜を用いたが、その代わりにテフロン等のフッ素樹脂を用いても良い。これらはシリコン酸化膜の比誘電率4.0よりも小さい。

【0060】また、信号線の代わりにゲート線等の配線上で、ディスクリネーション線が固定されるようにしても良い。

【0061】また、補助容量は図1のようにゲート線と同層のメタル21と画素電極11で形成しても良いし、図3のようにゲート線と同層の容量線としてのタル21と信号線としてのメタル8との間で形成しても良い。また、他の金属、例えば、ゲート電極とITOとで形成しても良い。

【0062】また、TFTは上記実施例のようなiストップ型でなく、バックチャネル型でも良いし、a-Siの代わりにp-Siを用いても良い。

【0063】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0064】

【発明の効果】以上詳述したように本発明によれば、もともと表示に寄与しない部分にディスクリネーション線を固定できるので、開口率の低下を招くこと無くディスクリネーション線による表示品質の劣化を防止できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図。

【図2】本発明の第2の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図。

【図3】本発明の第3の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図。

【図4】本発明の第4の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図。

【図5】本発明の第5の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図。

【図6】従来のアクティブマトリクス型液晶表示装置の概略構成を示す模式図。

【符号の説明】

1…ガラス基板

2…ゲート電極(ゲート線)

3…ゲート絶縁膜

4…活性層

5…保護膜

6…オーミックコンタクト層

7…ドレイン電極

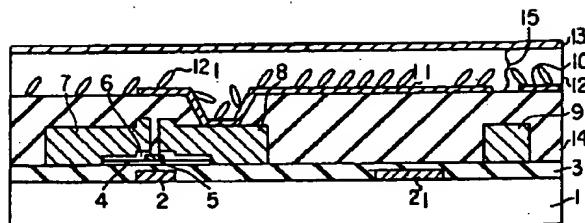
9

- 8…ソース電極  
9…信号線  
10、11…画素電極  
12…液晶層  
13…対向電極

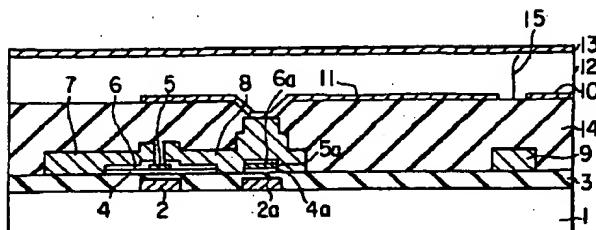
10

- 14…層間絶縁膜  
15…ディスクリネーション線  
20…Cu層  
21…Sn膜  
32…突起部（電界集中部材）

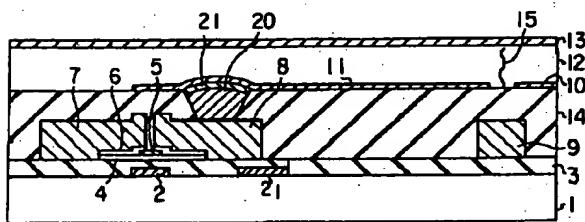
【図1】



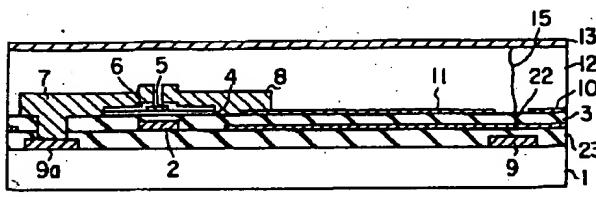
【図2】



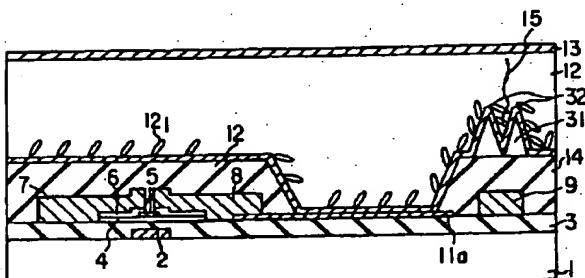
【図3】



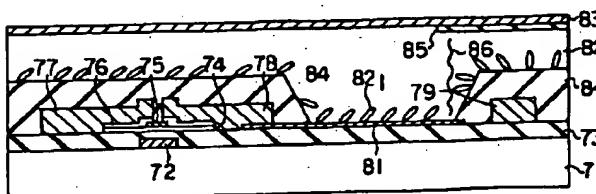
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 戸枝 久郎

神奈川県横浜市磯子区新磯子町33番地 株  
式会社東芝生産技術研究所内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

**BLACK BORDERS**

**IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT OR DRAWING**

**BLURRED OR ILLEGIBLE TEXT OR DRAWING**

**SKEWED/SLANTED IMAGES**

**COLOR OR BLACK AND WHITE PHOTOGRAPHS**

**GRAY SCALE DOCUMENTS**

**LINES OR MARKS ON ORIGINAL DOCUMENT**

**REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

**OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**